

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-077556

(43)Date of publication of application : 14.03.2000

(51)Int.Cl.

H01L 23/12  
// H01L 23/32

(21)Application number : 10-249916

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 03.09.1998

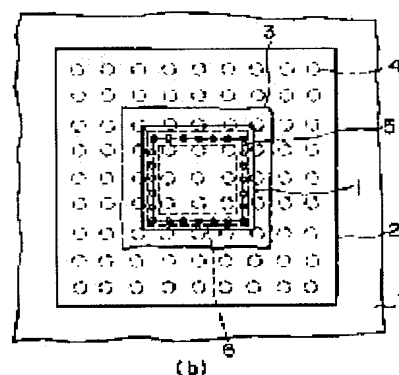
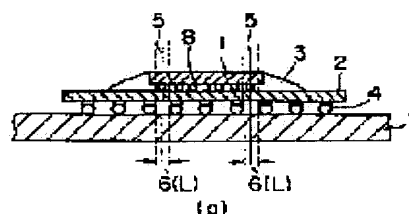
(72)Inventor : YAMADA HIROSHI  
TOGASAKI TAKASHI  
IIDA ATSUKO  
HIGUCHI KAZUTO  
TATEYAMA KAZUKI

## (54) BALL GRID ARRAY SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To flip-chip mount a pellet-like semiconductor chip with high connecting reliability at low cost by optimizing the arrangement of ball electrodes.

SOLUTION: This ball grid array semiconductor device comprises a semiconductor chip 1 having a plurality of bonding pads, and a circuit wiring board 2 with the semiconductor chip mounted at a flip-chip on its major surface through bump electrodes 8 and pads for ball electrodes 4 placed on its underside. The pads for ball electrodes 4 are placed in regions on the underside, other than those corresponding to the region on the major surface where the bump electrodes 8 are placed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-77556

(P2000-77556A)

(43)公開日 平成12年3月14日(2000.3.14)

(51) Int.Cl.<sup>7</sup>

識別記号

FI

テーマコート\* (参考)

H0 1 L 23/12

H0 1 L 23/12

L

// H01L 23/32

23/32

D

審査請求 未請求 請求項の数4 O.L (全 17 頁)

(21)出願番号 特願平10-249916

(22)出願日 平成10年9月3日(1998.9.3)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 山 田 浩

神奈川県横浜市磯子区新磯子町33 株式会社東芝生産技術研究所内

(72)發明者 梅 寄 隆

神奈川県横浜市磯子区新磯子町33 株式会社東芝生産技術研究所内

(74) 代理人 100064285

弁理士 佐藤 一雄 (外3名)

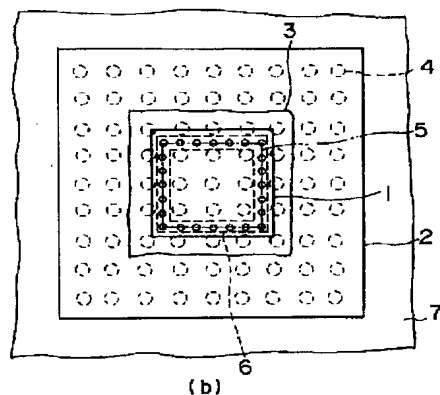
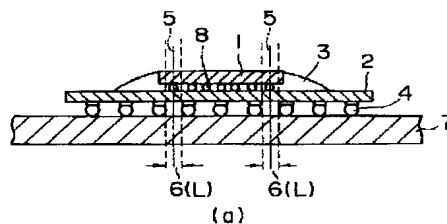
[最終頁に続く](#)

(54) 【発明の名称】 ボールグリッドアレイ型半導体装置

(57) 【要約】

【課題】 ボール電極の配置を最適にして、ペレット状態の半導体チップを高い接続信頼性で低コストにフリップチップ実装する。

【解決手段】 複数のボンディングパッド２１を有する半導体チップ１と、主面にバンプ電極８により前記半導体チップがフリップチップ実装されると共に裏面にボール電極４用のパッド１２が配置された回路配線基板２と、を備え、前記ボール電極４用のパッド１２が、前記主面に前記バンプ電極８が配置されている領域に対応する前記裏面の領域以外の領域に配置されている。



## 【特許請求の範囲】

【請求項 1】複数個のボンディングパッドを有する半導体チップと、主面にバンプ電極により前記半導体チップがフリップチップ実装されると共に裏面にボール電極用のパッドが配置された回路配線基板と、を備える半導体装置において、

前記ボール電極用のパッドが、前記主面に前記バンプ電極が配置されている領域に対応する前記裏面の領域以外の領域に配置されていることを特徴とするボールグリッドアレイ型半導体装置。

【請求項 2】前記回路配線基板は前記半導体チップの外形より大きい外形寸法を有し、前記バンプ電極は前記半導体チップと前記回路配線基板の主面との間に所定の配置で設けられると共に、前記ボール電極用のパッドは前記バンプ電極が配置された前記主面の領域に対応する前記回路配線基板の裏面の領域以外の領域に配置されていることを特徴とする請求項 1 に記載のボールグリッドアレイ型半導体装置。

【請求項 3】前記バンプ電極は前記半導体チップと前記回路配線基板の主面との間に所定の配置で設けられ、前記ボール電極用のパッドは前記主面に前記バンプ電極が配置されている領域に対応する前記裏面の領域の内側にアレイ状に配置されていることを特徴とする請求項 1 に記載のボールグリッドアレイ型半導体装置。

【請求項 4】前記回路配線基板は前記半導体チップの外形より小さい外形寸法を有し、前記バンプ電極は前記半導体チップと前記回路配線基板の主面との間に所定の配置で設けられると共に、前記ボール電極用のパッドは前記バンプ電極が配置された領域に対応する前記基板の裏面側の領域以外の領域に配置されていることを特徴とする請求項 1 に記載のボールグリッドアレイ型半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、主面に半導体チップがフリップチップ実装され、裏面の全体にボール電極用のパッドがアレイ状に配置されている回路配線基板におけるボールグリッドアレイ（以下、必要に応じて BGA—Ball Grid Array—と略記する。）の実装接続の信頼性を向上させたボールグリッドアレイ型半導体装置に関する。

## 【0002】

【従来の技術】近年、半導体装置の高集積化に伴い、半導体実装技術においても高密度化が求められている。この半導体実装技術の高密度化の代表的なものとして、ワイヤーボンディング技術、TAB 技術などが挙げられるが、最も高密度な半導体実装技術としてフリップチップ実装技術があり、コンピュータ機器などに半導体装置を高密度に実装する技術として広く用いられている。このフリップチップ実装技術は、図 20（a）に示すよう

に、米国特許第 3401126 号公報および米国特許第 3429040 号公報により開示されて以来、一般的に公知の技術になっている。同図において、半導体チップ 1 はバンプ電極 8 により電子回路装置を構成する回路配線基板 7 に接合され、封止樹脂 3 により封止されている。符号 21 はボンディングパッド、22 はバリアメタル、23 は半導体チップ接続端子、24 はソルダレジスト、25 はパッシベーション膜である。

【0003】一方、半導体パッケージは、近年の I/O ピン数の増加に伴い QFP (Quad Flat Package) 構造では回路配線基板に対する OLB ピッチが狭くなり、回路配線基板に接続が困難であった。そこで、文献「Electronic Packaging and Production, p25, May 1992」に記載されているように半導体チップを実装する半導体パッケージを OMPAC (Over Molded Pad Array Carrier) 化することにより回路配線基板の接続を可能にする提案も行なわれている。OMPAC パッケージの概略は、PGA (Pin Grid Array) パッケージ挿入ピンの代わりに、はんだボール電極を回路配線基板との接続に用いる構造で、OMPAC は現在まで BGA (Ball Grid Array) パッケージとして知られており、高密度パッケージング技術の主流技術としてその接続信頼性を向上させる提案が多く行なわれている。

【0004】この BGA は、半導体チップが搭載された BGA キャリア基板を BGA を搭載する回路配線基板に対してボール電極で接続する構造であるために、フリップチップ実装で発生する応力歪により信頼性が低下するという問題があるばかりでなく、BGA 回路配線基板の熱膨張係数と BGA を搭載する回路配線基板の熱膨張係数とが異なることによりボール電極部分に応力歪が発生するという問題があった。このボール電極に発生する応力歪はボール電極の疲労破壊を発生させる原因となり、BGA パッケージの接続信頼性寿命を低下させることになっていた。ボール電極を用いて回路配線基板に接続する BGA は、基本的にフリップチップ実装技術と接続構造が同一であるため、BGA の実装接続信頼性はボール電極部分に集中する最大剪断応力歪を緩和する IBM Journal of Research Development, Vol.13, p251, 1969 に記載されているようにフリップチップ実装での方法と同等の手段で向上することができる。

【0005】さらに、BGA の接続信頼性を向上させる方法として、以下のような提案が行なわれている。特開平 2-109358 号公報ではキャリア基板の 4 隅に突起部を設けてボール接続部を凹部にするにより、突起部を凹部以外の面で接触させて実装接続信頼性を向上させている。また、特開平 3-116838 号公報では半導体チップをフリップチップ実装するとき、パッケージボールのボール電極を含めて、融点の異なるはんだをボール電極に使用しており、高融点はんだをダミー電極に用いている。さらに、特開昭 63-121422 号公報

はボール接続信頼性を向上させるため、BGA回路配線基板とBGAを搭載する回路基板の距離を制御してボール電極を形成しており、ボール電極を鼓型、太鼓型などに制御している。特に特開平8-153832号公報では、ボールの隙間部分に封止樹脂を配置する図20

(b) に示す方法において、封止樹脂の熱膨張係数をBGA基板側から回路配線基板側に向かって段階的に変化させることを提案している。これらの提案は、基本的にはフリップチップ実装技術におけるバンプ接続信頼性を向上させる応力歪を緩和する手段と同等のものであるため、BGAの接続信頼性をある程度までは向上できるものであった。同図において、半導体チップ1はバンプ電極8によりBGA回路配線基板2に接合され、この基板2はボール電極4により電子回路装置を構成する回路配線基板7に接合されている。

【0006】ところが、BGAに搭載する半導体チップの寸法が、例えば近年のRISCチップのように大型化してくると、従来方法を用いたBGAパッケージング構造では電子機器の接続信頼性を保証するBGA接続信頼性を十分に確保できなくなる問題が発生していた。具体的には、BGAに搭載する半導体チップ1の寸法が大型化してくることにより、半導体チップを搭載するBGA基板2の寸法も大きくなり、BGA基板2の裏面に配置されるボール電極4に発生する応力歪が従来のBGA実装構造と比較して大きくなり、これまでは問題にならなかったBGAボール電極4中の応力歪が半導体チップ1側のバンプ電極8に局所的に応力歪を集中発生させることになり、半導体チップとBGA回路配線基板を接続するバンプ電極破壊を引き起こしていた。この局所的な新たな応力歪によるバンプ電極破壊は、これまでの半導体チップ中心から最大距離に位置するバンプ電極での応力破壊とは異なり、図20(c)のように、半導体チップを接続する最外周バンプ電極付近で特に顕著に発生し、近年の薄型化を目的とし局所的な応力歪みの影響を直接的に伝達するBGA基板を使用した場合はその応力歪も大きくなり、電子回路装置の信頼性を保証するには問題あるものであった。

【0007】一方、近年の電子機器は、多種類の半導体チップを実装してシステムの高機能化を実現している。最も高密度半導体実装技術としてフリップチップ実装技術が上げられることは前記の通りであるが、フリップチップ実装を行なうためには半導体チップに対しバンプを形成する必要がある。これまでのバンプ電極形成方法としては、米国特許3410774号公報、米国特許3458295号公報、及びIBM Journal of Research and Development, pp226-229, May 1969に記載の蒸着法、特開昭58-225652号公報、特開平1-134953号公報に記載の電気めっき法を用いることが一般的に行なわれてきた。これらの方法を用いたバンプ電極形成方法は半導体デバイスの形成されたウエハに対し

てバンプ電極形成を行なうため、半導体チップの低コスト化を実現できるものであった。

【0008】ところが、このようにウエハ状態により一括してバンプ形成を行なう方法においては、半導体ウエハから分割ダイシングされたペレット状態の半導体チップに対しては、容易にバンプ形成できない問題があった。このバンプ電極形成できない問題は、システムの高機能化を目的として多種の半導体チップを電子機器に搭載するため、ペレット状態の市販ベアチップを対象にして、フリップチップ実装する場合に特に重大な問題となっていた。このペレット状態の半導体チップに対してバンプ形成を行なう重大な課題は、近年のフリップチップ実装に限らずこれまでのTAB実装を行なう場合にも問題であったため、ペレット状態の半導体チップにバンプ形成する多くの提案がこれまで行なわれている。例えば、Proceeding ISHM 1994, pp437-478, 1994では、ワイヤーボンディング装置を使用したワイヤーバンピング法でAuバンプをベアチップに形成している。Proceeding ECTC 1991, pp26-29, 1991及びProceeding ECTC 1990, pp412-417, 1990では、半導体チップのパッシベーション膜をマスクにして無電解めっき法でバンプ電極を形成している。Proceeding ISHM pp45-49, 1989では、バンプ形成基板に形成したバンプ電極を半導体チップに転写している。さらに、Proceeding ECTC 1992, pp487-491, 1992では、異方性導電接着剤を使用してバンプ電極を形成しないでベアチップをフリップチップ実装することが行なわれている。

【0009】ところが、上記ワイヤーバンピング法でバンプ形成する方法では、近年のI/O数が増加する半導体チップを実装する場合、形成するバンプ数も増加するためバンプ形成時間が長くなり、バンプ製造コストが増加してしまう。また、無電解めっき法でバンプ形成する方法では、ボンディングパッド上に金属膜が等方的に折出するため、接続信頼性が十分なバンプ高さを確保するのに限界が発生する問題があった。さらに、バンプ基板に形成したバンプ電極を半導体チップに転写する方法では、バンプ形成基板の製造コストと、形成したバンプ電極を半導体チップに転写するプロセスコストが重なり、フリップチップ実装としての製造コストが高くなる問題があった。また、バンプ電極を形成しないで異方性導電接着剤を使用してフリップチップ実装する方法では、異方性導電接着剤の微細接続の限界から多ピン微細I/Oの半導体チップには適応できない問題があった。

【0010】また、以上のような方法を用いてバンプ形成を行ないフリップチップ実装する場合では、いずれの方法においても一般的な蒸着法、電気めっき法を用いてフリップチップ実装を行なった場合に比較して、バンプシェア強度を十分な値に確保できない問題があり、近年のような大型半導体チップを対象にしたフリップチップ実装では半導体チップと回路配線基板の熱膨張係数の相

異に起因する応力歪を緩和することができないため、バンプ接続信頼性に問題あるものとなっていた。さらに、電子機器の実装信頼性を向上するためにはKGD (Known Good Die) は不可欠なものであり、ダイシング前のウエハー状態では一般的なKGDを実施することが可能である。ところが、ペレット状態の半導体チップに対しては現在の技術ではKGDは困難となっている。従って、ペレット状態の半導体チップに後工程としてバンプ形成したベアチップに対してもKGDは困難であり、信頼性の高い電子回路装置を実現する上で問題となっていた。

【0011】なお、以上の多くの問題を解決する方法として、図20(d)に示すように、TABテープ35の裏面に、ボール形成端子12を介してはんだボール4を配置するテープBGA (T-BGA) が提案されている。同図において、符号32はカバープレート、33はステイフナ、34はTABインナリードである。ところが、このT-BGAは、TAB用テープを使用して半導体チップ1の周辺部分にはんだボール4を配置しているため、半導体チップ1の寸法に比較してBGAパッケージサイズが極めて大きくなり、電子機器を小型化できない問題があった。このためCSP (Chip Scale Package) として、半導体チップと同等寸法でボール電極を配置して小型化する、例えばElectronic Package Production pp.49-53, January 1998, に開示された $\mu$ -BGAも一方では提案されているが、ダイシングされたペレット状態の半導体チップをパッケージ内部にフリップチップ実装する場合に発生する上述の問題は解決できるものではなかった。

【0012】

【発明が解決しようとする課題】上記のようなフリップチップ実装においては、熱膨張係数の不整合に起因する応力歪がバンプ電極に集中してバンプ電極が破壊されるという問題があった。このため、半導体チップに発生する最大剪断歪を緩和する多くの方法が提案されて接続信頼性はある程度までは充分向上できるようになってきた。フリップチップ実装技術の場合と同様に、ボール電極で接続を行なうBGAを回路配線基板に接続する場合も、ボール接続信頼性を向上させて電子回路装置の実装信頼性を充分確保する必要があった。このため、フリップチップ実装と同様の方法によりボール最大剪断歪を緩和することが行なわれてきた。これらの方法を用いることでBGAの接続信頼性もある程度まで向上することができるようになってきたが、近年のように、BGAに搭載する半導体チップの寸法がRISCチップに代表されるように大型化されてくると、これまでの方法ではボール接続信頼性を充分に確保できなくなる問題があった。この問題は半導体チップ寸法が大きくなるとBGAボール電極中の応力歪が従来までの構造と比較して大きくなり、半導体チップ側バンプ電極に半導体チップの最大距離に位置するバンプ応力歪とは異なる局所的な応力歪を

集中発生させることになり、半導体チップの最外周バンプ電極付近でバンプ電極破壊が特に多く発生するものであった。

【0013】一方、フリップチップ実装を実現するため必要なバンプ電極形成として、従来までは蒸着法、電気めっき法などが一般的に用いられてきたが、電子機器システムの高機能化を達成するため市販のペレット状態ベアチップを対象にしてフリップチップ実装を行なう場合は、半導体チップがペレット状態のため、従来までの方法では半導体チップにバンプ形成できない問題があった。そこで、ワイヤーバンピング法、無電解めっき法、転写バンプ法、異方性導電接着剤などを用いた方法が考案され、TAB実装などを対象にしてある程度までその効果が発揮されるようになってきた。ところが、I/O数の増加に伴うパッドピッチの微細化、半導体チップ寸法的大型化が進行している近年の半導体チップに対して従来までの方法を用いると、微細接続技術の限界と共に、実装コストの増加、接続信頼性の低下が顕著となり、実用上問題ある方法となっていた。さらに、これら上述の方法では従来までの蒸着法、電気めっき法に比較してバンプシヤ強度を確保できなくなるため、熱膨張係数の相異に起因するバンプ応力歪を充分緩和することができなくなり、バンプ接続信頼性を充分確保できなくなる問題が発生していた。さらに、ペレット状態に分割した半導体チップに後工程としてバンプ形成した場合、電子機器の信頼性保証からKGDを実施する必要があるが、ペレット状態の半導体チップに対しKGDを実施することが技術的に困難なことも問題となっていた。なお、特に近年の先端実装パッケージとしてT-BGA, CSP,  $\mu$ -BGAが提案されているが、いずれも上記のような問題を解決できるものではなかった。

【0014】本発明は上記の問題を鑑みてなされたものであり、回路配線基板の主面に半導体チップが搭載されているBGA半導体装置の裏面に配置されるボール電極用のパッドがバンプ電極の配置される領域以外の領域に最適に配置されることによりペレット状態の半導体チップを高い接続信頼性で低コストにフリップチップ実装できるKGD可能なBGA型半導体装置を実現することを目的とする。

【0015】

【課題を解決するための手段】上記目的を達成するため、請求項1に係るボールグリッドアレイ型半導体装置は、複数個のボンディングパッドを有する半導体チップと、主面にバンプ電極により前記半導体チップがフリップチップ実装されると共に裏面にボール電極用のパッドが配置された回路配線基板と、を備えるものにおいて、前記ボール電極用のパッドが、前記主面に前記バンプ電極が配置されている領域に対応する前記裏面の領域以外の領域に配置されていることを特徴とする。また、請求項2に係るボールグリッドアレイ型半導体装置は、請求

項 1 に記載のものにおいて、前記回路配線基板は前記半  
 導体チップの外形より大きい外形寸法を有し、前記バン  
 プ電極は前記半導体チップと前記回路配線基板の主面と  
 の間に所定の配置で設けられると共に、前記ボール電極  
 用のパッドは前記バンパ電極が配置された前記主面の領  
 域に対応する前記回路配線基板の裏面の領域以外の領域  
 に配置されていることを特徴としている。また、請求項  
 3 に係るボールグリッドアレイ型半導体装置は請求項 1  
 に記載のものにおいて、前記バンパ電極は前記半導体チ  
 ップと前記回路配線基板の主面との間に所定の配置で設  
 けられ、前記ボール電極用のパッドは前記主面に前記バン  
 プ電極が配置されている領域に対応する前記裏面の領  
 域の内側にアレイ状に配置されていることを特徴として  
 いる。また、請求項 4 に係るボールグリッドアレイ型半  
 導体装置は、請求項 1 に記載のものにおいて、前記回路  
 配線基板は前記半導体チップの外形より小さい外形寸法  
 を有し、前記バンパ電極は前記半導体チップと前記回路  
 配線基板の主面との間に所定の配置で設けられると共に、  
 前記ボール電極用のパッドは前記バンパ電極が配置  
 された領域に対応する前記基板の裏面側の領域以外の領  
 域に配置されていることを特徴としている。これらの請  
 求項 2 ないし請求項 4 において、バンパ電極が設けられ  
 る所定の配置とは半導体チップの周縁に沿った配置が好  
 ましいが、このような周縁配置のみならずエリア配置、  
 千鳥配置等の種々の配置が考えられ得る。さらに、半導  
 体チップの外形の寸法よりも BGA 回路配線基板の外形  
 の寸法の方が小さいボールグリッドアレイ型半導体装置  
 において、半導体チップと BGA 回路配線基板の主面  
 の間の所定位置にバンパ電極が配置され、BGA 回路配線  
 基板の主面のバンパ電極が配置されている領域に対応す  
 る裏面の領域の内側の領域にボール電極用のパッドをア  
 レイ状に設けるようにしても良い。このように構成した  
 場合、封止樹脂により半導体チップよりも小さい BGA  
 回路配線基板とのそれぞれの周囲が囲まれるように封止  
 されるので、BGA 型半導体装置の小型化と取付面積の  
 縮小化を図ることが可能となる。

【0016】また、少なくとも複数のボンディングパ  
 ッドを備えた半導体チップが回路配線基板主面にバンパ  
 電極によりフリップチップ実装されていることと、回路  
 配線基板裏面にボール電極がアレイ状に配置されている  
 ボールグリッドアレイ型半導体装置は、半導体チップと  
 回路配線基板を接続するバンパ電極の仮想線上にボール  
 電極を配置しない領域を有する回路配線基板を形成する  
 工程と、回路配線基板上のバンパ電極を半導体チップの  
 ボンディングパッドに位置合わせする工程と、回路配線  
 基板裏面のボール電極が配置されない領域に少なくとも  
 加熱機構または振動機構のうち少なくとも一方を有する  
 尖形治具を位置合わせして加熱または振動のうち少なく  
 とも 1 方法を用いて半導体チップを回路配線基板に接続  
 する工程とにより製造するようにしても良い。上記のよ

うな製造方法により製造されたボールグリッドアレイ型  
 半導体装置では、ボール電極の配置されない禁止領域  
 が、少なくとも半導体チップを接続するバンパ径以上の  
 面積領域を有することと、尖形治具が隣接するボール電  
 極に接触しない面積領域以上を有することになる。

#### 【0017】

【発明の実施の形態】以下、本発明に係る半導体装置の  
 好適な実施形態について、添付図面を参照しながら詳細  
 に説明する。まず、図 1 ないし図 8 を用いて本発明の第  
 1 実施形態に係る半導体装置の構成とその製造方法につ  
 いて説明する。図 1 において、半導体装置は、図中下面  
 側に複数個のボンディングパッドを有する半導体チップ  
 1 と、主面（図中の上面）にバンパ電極 8 により前記半  
 導体チップ 1 がフリップチップ実装されると共に裏面  
 （図中の下面）にボール電極用のパッド（図 1 では図示  
 されず）が配置された BGA 回路配線基板 2 とを備え  
 る。この半導体装置においては、半導体チップ 1 と基板  
 2 との接合面は封止樹脂 3 により封止されており、ま  
 た、回路配線基板 2 は、図示されない上記パッドに溶着  
 されるはんだにより形成されたボール電極 4 によりマザ  
 ーボード等の回路装置基板 7 に固着される。

【0018】前記回路配線基板 2 においては、図 3 に示  
 すように、ボール電極 4 用のパッドが、前記主面に前記  
 バンパ電極 8 が配置されている領域 5 に対応する前記裏  
 面の領域以外の領域に配置されており、この構成が第 1  
 実施形態に係る半導体装置の特徴である。このような特  
 徴を有する第 1 実施形態に係る半導体装置の製造方法に  
 ついて、図 2 (a) (b) (c) (d) および図 3  
 (e) (f) (g) を参照しながら説明する。

【0019】まず、図 2 (a) において、ボンディング  
 パッド部分を除いて PSG（リン・シリカ・ガラス）と  
 SiN（窒化シリコン）でパッシベーションされ、ペレ  
 ット状態にダイシングされている半導体チップ 1 を製造  
 する。なお、この半導体チップ 1 は本発明の主旨から、  
 一般的に市販されているペレット状態の半導体チップで  
 も良く、その製造方法は何ら限定されるものではない  
 が、第 1 実施形態では上記の様な半導体チップを用い  
 た。この半導体チップ 1 には  $100\mu\text{m}$  のボンディン  
 グパッド 21 が半導体チップ 1 の周囲に添って、半導体  
 チップ 1 のエッジ部分から内側 2mm の位置に 256 個  
 配置されている。半導体チップ 1 は  $10\text{mm} \times 10\text{mm}$   
 の寸法を有するものを用いた。一方、図 2 (b) に示す  
 ように、半導体チップ 1 を搭載する BGA 回路配線基板  
 2 には例えば米国特許 4811082 号公報あるいは通  
 常のガラスエポキシ基板上に絶縁層と導体層を相互にビ  
 ルドアップしたプリント基板 SLC（Surface Laminar  
 Circuit）基板を用いることができる。したがって、例  
 えばポリイミド樹脂を基板主材として表面に銅配線が形  
 成されている公知のフレキシブル基板を用いることが可  
 能である。

【0020】このBGA回路配線基板2の表面には半導体チップ1を接続する100 $\mu$ m径のAuバンプ8がソルダレジスト24上に形成された半導体接続端子23を介して設けられる。Auバンプ8の製造方法は特に限定されないが、例えば特開昭62-125650号公報または特開昭59-181577号公報、特開昭63-160250号公報の様に、公知の技術である蒸着法、あるいは電気めっき法を用いることができる。バンプ電極8の材質もAuに限定されるものではなく、Al、Au、W、Cu、Ni、Cr、Pt、Pdから選択される金属やこれら金属を主成分とする合金であれば良い。説明のため、本第1実施形態ではAuバンプとした。この形成するAuバンプは半導体チップのボンディングパッドに対応した位置に256個が配置されている。さらにAuバンプ8にはNi/Tiバリアメタルが形成されており、高さ50 $\mu$ m $\pm$ 2 $\mu$ mの精度に制御されている。

【0021】さらに、BGA回路配線基板の裏面にはNi/Cuから構成されるボール接続端子12が200 $\mu$ m $\phi$ で256個アレイ状に配置されている。このBGA回路配線基板裏面に配置されるボール接続端子12は半導体チップ1を接続する回路配線基板主面のバンプ電極仮想線上には配置されていない。具体的には、15mm $\times$ 15mmの外形寸法を有する回路配線基板における10mm $\times$ 10mmの半導体チップ1と同一寸法の領域から内側部分の2mmを中心として $\pm$ 100 $\mu$ m幅以上をボール電極12の配置禁止領域としている。なお、このはんだボールの製造方法も特に限定されるものではないが、例えば、スクリーン印刷用のメタルマスクを用いて回路配線基板の裏面に設けられた電極端子にはんだペーストをスクリーン印刷して、全体をリフローすることにより形成することができる。このはんだペーストには、Pb/Sn=37/63の共晶はんだペーストを用い、はんだリフロー後にイソプロピルアルコールでBGA回路配線基板を10分間洗浄することが好ましい。なお、この第1実施形態で使用した15mm $\times$ 15mmの外形寸法を有する回路配線基板2は、10mm $\times$ 10mmの外形寸法を有する半導体チップと同一寸法であるバンプ接続部分を除いてソルダレジスト24が表面と裏面に被覆されている。以上の構成の半導体チップを回路配線基板に実装してBGA半導体装置を製造する。その製造方法は以下の通りである。

【0022】まず、図2(c)に示すように、公知の技術であるハーフミラーを有して位置合わせを行なうフリップチップボンダーを用いて半導体チップのボンディングパッドと回路配線基板上のバンプ電極の位置合わせを行なう。半導体チップ1は加熱機構を有するコレット13に保持され350 $^{\circ}$ Cの窒素雰囲気中で予備加熱されている。次いで、図2(d)に示すように、半導体チップと回路配線基板が接触された状態で、半導体チップ1のボンディングパッド21に対応するヒートツール14を

350 $^{\circ}$ Cに加熱してBGA回路配線基板の裏面に接触させ、2kg/mm<sup>2</sup>～5kg/mm<sup>2</sup>加圧力を5秒間加えながら、回路配線基板2のAuバンプを半導体チップ1のAlボンディングパッドと電氣的・機械的に接続する。なお、第1実施形態に記載したこれら接続条件は公知のものであり、半導体チップを回路配線基板上に接続する圧力範囲、接続時間等は特に限定されるものではない。このようにして、図3(e)に示すようなBGA半導体装置が形成される。

【0023】なお、本第1実施形態に記載した半導体チップ接続用のヒートツールはその形状が特に限定されない。例えば、ヒートツール形状はBGAボールは位置禁止領域に挿入できれば良いため、図5(a)に示すように、256個が独立した凸型を有しても良く、また図5(b)に示すように、ボンディングパッド14に対応する連続した形状を有しても良い。第1実施形態では説明の便宜のため、256個のヒートツールが独立した凸型を有するものを使用した。なお、その先端寸法はBGAボール4配置禁止領域よりも小さく、バンプ径よりも大きい150 $\mu$ m $\phi$ である。以上のように、BGA回路配線基板上にフリップチップ実装された半導体チップと回路配線基板が作る隙間部分の寸法はバンプ高さ50 $\mu$ m $\pm$ 2 $\mu$ mよりも全体平均で2 $\mu$ m小さい寸法の48 $\mu$ m $\pm$ 2 $\mu$ mであった。

【0024】なお、図3(f)に示すように、必要に応じてこの隙間部分に公知の技術である、封止樹脂3を配置することも可能である。封止する樹脂として、例えば、ビスフェノール系エポキシとイミダゾール硬化触媒、酸無水物硬化剤と球状の石英フィラを重量比で45wt%含有するエポキシ樹脂を用いることができる。また例えばクレゾールノボラックタイプのエポキシ樹脂(ECON-195XL;住友化学社製)100重量部、硬化剤としてのフェノール樹脂54重量部、充填剤としての溶融シリカ100重量部、触媒としてのベンジルジメチルアミン剤3重量部を粉砕、混合、溶融したエポキシ樹脂溶融体を用いることも可能であり、その材料は限定されるものではない。以上の方法により、図4に示すような、半導体チップがBGA回路配線基板上にフリップチップ実装され、隙間部分にエポキシ樹脂が封止されたBGA半導体装置を実現できる。

【0025】このときBGA裏面に形成されるはんだボールは搭載される半導体チップとBGA回路配線基板を接続するバンプ電極の仮想線を中心にして、 $\pm$ 100 $\mu$ mの範囲内にレイアウトされない配置となっている。具体的には、このときの半導体チップを接続するためのAuバンプ電極レイアウトは半導体チップのエッジ部分から2mm内側に配置されており、BGA半導体装置のボール電極もBGA回路配線基板の端部から2mm内側にボール電極配置禁止領域を有する配置となっている。さらに、バンプ径Wとボール電極配置禁止領域幅Lとは、

図4に示すように、 $W < L$ の関係となっている。

【0026】次に、図3(g)に示すように、電子回路装置を構成する回路配線基板7にBGA半導体装置を実装する。この電子回路装置を構成するBGA回路配線基板7も特に限定されるものではないが、第1実施形態では説明の便宜のため、BGA回路配線基板と同等のSLC基板を用いた。このときのBGA実装もハーフミラーを有して位置合わせを行なうボンダーを用いる。なお、回路配線基板下のヒーターとBGAを保持するコレットは180℃に加熱されているが、この温度はボール電極を構成するはんだの共晶温度よりも低いため、BGAはんだボール電極4は溶融していない。さらに、BGAボール電極と電子回路装置の回路配線基板の電極端子を位置合わせする。このように、BGAと回路配線基板が接触された状態でコレットをさらに下方移動して、圧力30kg/mm<sup>2</sup>を加え、ボール電極とBGAを搭載する回路配線基板の電極端子を機械的に圧力が加わった状態で接触させる。さらに、この状態で温度を250℃まで上昇させてはんだを溶融させ、BGAを搭載する回路配線基板の電極端子とBGAボール電極を接続する。このとき、BGAボール電極に用いるはんだ組成はPb/Sn=37/63共晶はんだであるため、BGA実装において半導体チップを接続指定Auバンプが溶融変形することはなく、高信頼性を確保する構造を有したままでBGAを実装できるものである。以上の工程を実施することにより、図1に示す半導体装置を実現することができる。

【0027】次いで、本発明による半導体装置の接続信頼性を評価したところ以下の結果を得た。本発明による半導体装置の第1実施形態を説明するために用いた10mm×10mm寸法の半導体チップを15mm×15mm寸法を有する回路配線基板に実装した場合の試料を用いて接続信頼性を評価した結果である。256ピンの中で1箇所でも接続がオープンになった場合を不良にして、縦軸に累積不良率、横軸に温度サイクルを示した。サンプル数は1000個、温度サイクル試験条件は{-55℃(30min)~25℃(5min)~125℃(30min)~25℃(5min)}で行なった。試験結果を図6に示す。半導体チップと回路配線基板を接続するバンプ電極が作る仮想線上にBGA型半導体装置のボール電極を配置した従来技術の構造では、1500サイクルで接続不良が発生して、2500サイクルで接続不良が100%になった。また、従来構造のBGAをBGA搭載回路配線基板に実装して半導体チップ部分を公知の方法で樹脂封止した場合は、2500サイクルまで接続不良が発生しなくなり接続信頼性が向上しているが、3000サイクルで50%の接続不良が発生している。これらの接続不良は、半導体チップと回路配線基板を接続するバンプ電極の応力歪に起因する破壊であった。従って、バンプ電極の作る仮想線上にボール電極を

配置する従来の構造では、半導体チップを樹脂封止することにより応力歪をある程度までは緩和できるものの、ボール電極に内在する応力歪がバンプ電極に与える局所的な応力歪は緩和できないことを示唆している。

【0028】ところが、本発明の第1実施形態による構造でボール配置を用いたBGAは、3500サイクルまで接続不良は発生せず、接続信頼性が極めて向上することが確認された。これは本発明によるボール電極の配置方法で半導体チップを封止しない場合の構造が、従来までのボール電極配置方法で樹脂封止した場合と同等の接続信頼性を有することを比較すると、その接続信頼性が極めて向上できていることが解る。図7は、本発明の第1実施形態によるBGA型半導体装置を電子回路装置を構成するBGA搭載回路配線基板に実装した場合における、半導体チップのバンプ応力歪分布を示した結果である。試料の形状はこの第1実施形態における半導体装置の製造方法に説明した通りであり、図6に示す接続信頼性試験に用いたものと同等である。比較例としてボール電極配置の禁止領域を有さない従来構造のBGA半導体装置におけるバンプ応力歪も示した。バンプ応力歪の値を明確にするため、試料は樹脂封止を行なわない試料を用いた。グラフから明らかなように、半導体チップのバンプ電極が作る仮想線上にBGA型半導体装置のボール電極が配置されている従来構造ではボール電極に内在する応力歪によりバンプ電極に局所的な応力歪が発生して全体的なバンプ応力歪が増幅される傾向を示すことが分かる。これは、ボール電極中の応力歪がBGA回路配線基板を通過して半導体チップを接続するバンプ電極に伝達されているためと考えられる。

【0029】ところが、本発明の第1実施形態によるボール電極配置構造を用いたBGA型半導体装置に搭載される半導体チップ上のバンプ電極には応力歪の増幅作用は測定されず、半導体チップ中心からバンプ最大距離方向に向かって緩やかな均一増加を示すことが解ったこれは、BGAボール電極からBGA回路配線基板に向かって伝達される応力歪を回避して半導体チップのバンプ電極が配置されているためと考えられる。さらに、本評価での応力歪は、半導体チップを搭載する回路配線基板の熱膨張係数に依存せず、回路配線基板厚が薄いほど応力歪値が小さくなるという、ほぼ回路配線基板厚のみでバンプ応力歪値が決定される傾向も本評価で確認された。図8(a)は、BGAボール配置禁止領域面積がバンプ応力歪に与える影響を測定したグラフである。ボール配置禁止領域効果として、(バンプ径/ボール配置禁止領域)を横軸にした場合におけるバンプ応力歪を縦軸に示した。グラフから明らかな様に、(バンプ径/ボール配置禁止領域)=1を境にして、バンプ応力歪は急激な変化を示している。この結果から、ボール配置禁止領域がバンプ径以上である(バンプ径/ボール電極配置禁止領域)<1のとき、バンプ電極に増幅される応力歪は



極めて小さく、半導体チップの接続信頼性が著しく向上することが解る。したがって、本発明の第1実施形態により、BGA半導体装置の接続信頼性は極めて向上するばかりでなく、従来まで困難であったペレット状態のペアチップをフリップチップ実装することも可能となり、低コストで半導体装置を製造できることが確認された。

【0030】次に、図9ないし図13を用いて、本発明の第2実施形態に係るボールグリッドアレイ半導体装置に就いて説明する。第2実施形態に係る半導体装置が第1実施形態に係る半導体装置と異なる点は、BGA回路基板2の半導体チップ1に対する寸法が異なることである。図9(a)(b)に示すように、半導体チップ1は第1実施形態と同様に10mm×10mmの寸法を有しているが、この半導体チップ1が実装されるBGA回路配線基板2の寸法はチップ1よりもやや大きい11mm×11mmとなっている。その他の構成は、第1実施形態に係る半導体装置と同様であり、また、図10(a)ないし(d)および図11(e)ないし(g)に示す第2実施形態に係るBGA型半導体装置の製造方法についても図2および図3を用いて説明した第1実施形態に係る半導体装置の製造方法と同様であるので重複説明を省略する。

【0031】図13は、本発明の第2実施形態に係るボールグリッドアレイ型半導体装置を説明するために用いた10mm×10mm寸法の半導体チップを11mm×11mm寸法を有する回路配線基板に実装した場合の試料を用いて接続信頼性を評価した結果である。256ピンの中で1箇所でも接続がオープンになった場合を不良にして、縦軸に累積不良率、横軸に温度サイクルを示した。サンプル数は1000個、温度サイクル試験条件は{-55℃(30min)~25℃(5min)~125℃(30min)~25℃(5min)}で行なった。まず、図13(a)を参照しながら試験結果を説明する。半導体チップ1と回路配線基板2を接続するバンプ電極8が作る仮想線と仮想線の作る外側領域にBGA型半導体装置のボール電極を配置した従来技術の構造では、1500サイクルで接続不良が発生して、2000サイクルで接続不良が100%になった。この接続不良は主に半導体チップとBGA回路配線基板を接続するAuバンプ電極の接続破壊であった。また、従来構造のBGAをBGA搭載回路配線基板に実装して半導体チップ部分を公知の方法で樹脂封止した場合は、2500サイクルまで接続不良が発生しなくなり接続信頼性が向上しているが、3000サイクルで50%の接続不良が発生している。これらの接続不良は、BGA中心位置から最大距離に位置するボール電極の応力歪に起因する電極破壊と、半導体チップと回路配線基板とを接続するバンプ電極において従来とは異なるボール電極位置に対応するバンプ電極の応力歪に起因する破壊であった。したがって、バンプ電極の作る仮想線の上にボール電極を配置す

る従来の構造では、半導体チップを樹脂封止することにより応力歪をある程度までは緩和できるものの、BGA中心位置から最大距離に位置するボール電極の応力歪とボール電極に内在する応力歪がバンプ電極に与える局所的な応力歪は緩和できないことを示唆している。これは、本発明によるボール電極の配置方法で半導体チップを樹脂封止しない場合の実装構造が3000サイクルまで接続不良を発生しないことと、本発明におけるボール電極のうち、バンプ仮想線外側領域にボール電極を配置した場合のみ変更した構造が、2500サイクルで接続不良を発生していることを比較すると、ボール電極に内蔵する応力歪がバンプ電極と破壊させることは明らかである。ところが、本発明によるボール配置の方法で半導体チップを樹脂封止した構造のBGAは、3500サイクルまで接続不良は発生せず、接続信頼性が極めて向上することが確認された。これは本発明によるボール電極の配置方法で半導体チップを封止しない場合の構造が、3000サイクルまで接続不良を発生しない実験結果と比較すると、その接続信頼性が極めて向上できていることが解る。

【0032】図13(b)は、本発明によるBGA型半導体装置を電子回路装置を構成するBGA搭載回路配線基板に実装した場合における、半導体チップのバンプ応力歪分布を示した結果である。試料の形状は第1実施形態に係る半導体装置の製造方法に説明した通りであり、図13(a)に示す接続信頼性試験に用いたものと同等である。比較例としてボール電極配置の禁止領域を有さない従来構造のBGA半導体装置におけるバンプ応力歪も示した。バンプ応力歪の値を明確にするため、試料は樹脂封止しない試料を用いた。グラフから明らかなように、半導体チップのバンプ電極の仮想線の上にBGA型半導体装置のボール電極が配置されている従来構造ではボール電極に内在する応力歪によりバンプ電極に局所的な応力歪が発生して全体的なバンプ応力歪が増幅される傾向を示すことになる。これは、ボール電極中の応力歪がBGA回路配線基板を通過して半導体チップを接続するバンプ電極に伝達されているためと考えられる。ところが、本発明によるボール電極配置構造を用いたBGA型半導体装置に搭載される半導体チップ上のバンプ電極には応力歪の増幅作用は測定されず、半導体チップ中心からバンプ最大距離方向に向かって緩やかな均一増加を示すことが解る。これは、BGAボール電極からBGA回路配線基板に向かって伝達される応力歪を回避して半導体チップのバンプ電極が配置されているためと考えられる。さらに、本評価によりボール電極から伝達されるバンプ応力歪は、半導体チップを搭載する回路配線基板の熱膨張係数に依存せず、回路配線基板厚が薄いほど応力歪値が小さくなるという、ほぼ回路配線基板厚のみでバンプ応力歪値が決定される傾向も本評価で確認した。

【0033】また、図8(a)に示した、BGAボール

配置禁止領域面積がバンプ応力歪に与える影響を測定したグラフは第2実施形態でも同様の効果を示している。ボール配置禁止領域効果として、(バンプ径/ボール配置禁止領域)を横軸にした場合におけるバンプ応力歪を縦軸に示した。グラフから明らかな様に、(バンプ径/ボール配置禁止領域) = 1 を境にして、バンプ応力歪は急激な変化を示している。この結果から、ボール配置禁止領域がバンプ径以上である(バンプ径/ボール電極配置禁止領域) < 1 のとき、バンプ電極に増幅される応力歪は極めて小さく、半導体チップの接続信頼性が著しく向上することが解る。さらに、この第2実施形態では、BGAボール配置禁止領域のうちバンプ電極仮想線外側領域のボール電極に発生する応力歪を測定し、その結果を図8(b)に示している。ボール電極配置禁止領域効果として、(最外周バンプ距離/ボール配置最大距離)を横軸にした場合におけるボール電極応力歪を縦軸に示した。グラフから明らかな様に、(最外周バンプ距離/ボール配置最大距離) = 1 を境にしてボール応力歪は急激な変化を示している。この結果からバンプ仮想線外側にボール電極を配置しない(最外周バンプ距離/ボール配置最大距離) < 1 のとき、ボール電極に発生する応力歪は極めて小さくなり、BGA接続信頼性が著しく向上することが解る。これは、BGA回路配線基板上に搭載する半導体チップによりBGA回路配線基板の変位が律速され、ボール電極に応力歪が発生しないためと考えられる。

【0034】次に、本発明の第3実施形態に係るボールグリッドアレイ型半導体装置を図14ないし図18により説明する。この第3実施形態に係る半導体装置が第1および第2実施形態に係る半導体装置と異なる点は、半導体チップ1よりもBGA回路配線基板2の寸法が小さい点にあり、その他の構成は第1、第2実施形態に係るBGA型半導体装置と同様である。また図15(a)~(d)、図16(e)~(g)に示す第3実施形態に係る半導体装置の製造方法も、第1実施形態の製造方法を説明した図2(a)~(d)、図3(e)~(g)と同様なので重複説明を省略する。異なる点は半導体チップ1が9mm×9mmの寸法を有していることである。一方、半導体チップを搭載するBGA回路配線基板には、例えば米国特許4811082号公報あるいは通常ガラスエポキシ基板上に絶縁層と導体層を相互にビルドアップさせた方式のプリント基板SLC(Surface Laminate Circuit)基板を用いることができる。従って、例えばポリイミド樹脂を基板主材として表面に銅配線が形成されている公知のフレキシブル基板を用いることが可能である。このBGA回路配線基板の表面に形成されるAuバンプ等の形成方法等についても第1実施形態と同様なので説明を省略する。

【0035】BGA裏面に形成されるはんだボールは、搭載される半導体チップとBGA回路配線基板を接続す

るバンプ電極の仮想線を中心にして、±100μmの範囲内にレイアウトされない配置となっているのも第1実施形態と同様であるが、具体的な配置は若干異なっている。Auバンプ電極レイアウトは半導体チップのエッジ部分から2mm内側に配置され、半導体チップよりも1辺が1mm小さい寸法を有する9mm×9mmのBGA回路配線基板裏面のボール電極もBGA回路配線基板の端部から1mm内側に配置されたバンプ電極仮想線を中心とした±100μm領域内を除いてエリア配置される。さらに、バンプ径Wとバンプ仮想線の作るボール電極配置禁止領域幅Lは図17(a)に示すW<Lの関係である。

【0036】従来技術の構成において発生していた接続不良は、BGA中心位置から最大距離に位置するボール電極応力歪に起因するボール電極破壊と、従来までとは異なる破壊モードの、ボール電極からバンプ電極に伝達される応力歪に起因する、ボール電極位置に対応した場所に発生するバンプ破壊であった。従って、バンプ電極の作る仮想線上に仮想線の外側領域にボール電極を配置する従来の構造では、半導体チップを樹脂封止することによりバンプ応力歪をある程度までは緩和できるものの、BGA中心位置から最大距離に位置するボール電極の応力歪とボール電極に内在する応力歪がバンプ電極に直接的に与える局所的な応力歪は緩和できないことを示唆している。これは、本発明の構成要件の1つである、バンプ電極仮想線上にボール電極を配置しない構造で、回路配線基板の外側寸法(N<sub>1</sub>)が半導体チップ外側寸法(M<sub>1</sub>)よりも大きい従来技術のBGA回路配線基板上に半導体チップを実装した場合の実装構造(M<sub>1</sub><N<sub>1</sub>)が2500サイクルまで接続不良を発生しないことと、上記実装構造に本発明の構成要件の1つである、半導体チップ外形寸法(M<sub>1</sub>)より小さい外側寸法(N<sub>1</sub>)を有する回路配線基板上に半導体チップを搭載した場合の実装構造(M<sub>1</sub>>N<sub>1</sub>)が、3000サイクルまで接続不良を発生しないこととを比較すると、ボール電極に内在する応力歪がバンプ電極を破壊させることは明らかであり、BGA回路配線基板寸法を半導体チップ寸法に対して適切化することで実装接続信頼性を向上できるものである。

【0037】さらに、本発明によるボール配置方法でBGA回路配線基板上に半導体チップを搭載してその隙間部分を樹脂封止した構造のBGAは、3500サイクルまで接続不良は発生せず、接続信頼性が極めて向上することが確認された。これは本発明による構造で半導体チップを封止しない場合の構造が3000サイクルまで接続不良を発生しない実験結果と比較すると、その接続信頼性が極めて向上できていることが解る。この信頼性向上の効果は、回路配線基板側の封止樹脂が半導体チップ側の封止樹脂に比較して短い寸法構造である従来とは逆の構造配置を有しており、封止樹脂端部での応力歪を極

めて小さくできる構造となっているため、封止樹脂の局所的応力歪によりBGA回路配線基板の接触端部で発生していた回路配線基板配線層の破壊を防止していることに起因している。

【0038】本発明の第3実施形態によるBGA型半導体装置を電子回路装置を構成するBGA搭載回路配線基板に実装した場合における、半導体チップのバンプ応力歪分布を示した結果は、第1実施形態で説明した図7と同様である。試料の形状は本第3実施形態における半導体装置の製造方法に説明した通りであり、第6図に示す接続信頼性試験に用いたものと同等である。比較例としてボール電極配置の禁止領域を有さない従来構造のBGA半導体装置におけるバンプ応力歪も示した。バンプ応力歪の値を明確にするため、試料は樹脂封止しない試料を用いた。グラフから明らかなように、第1実施形態と同様に、半導体チップのバンプ電極が作る仮想線上にBGA型半導体装置のボール電極が配置されている従来構造ではボール電極に内在する応力歪によりバンプ電極に局所的な応力歪が発生して全体的なバンプ応力歪が増幅される傾向を示す。これは、ボール電極中の応力歪がBGA回路配線基板を通過して半導体チップを接続するバンプ電極に伝達されているためと考えられる。

【0039】ところが、本発明の第3実施形態によるボール電極配置構造を用いたBGA型半導体装置に搭載される半導体チップ上のバンプ電極には応力歪の増幅作用は測定されず、半導体チップ中心からバンプ最大距離方向に向かって緩やかな均一増加を示すことが解つた。これは、BGAボール電極からBGA回路配線基板に向かって伝達される応力歪を回避して半導体チップのバンプ電極が配置されているためと考えられる。さらに、本評価によりボール電極から伝達されるバンプ応力歪は、半導体チップを搭載する回路配線基板の熱膨張係数に依存せず、回路配線基板厚が薄いほど応力歪値が小さくなるという、ほぼ回路配線基板厚のみでバンプ応力歪値が決定される傾向も本評価で確認した。

【0040】BGAボール配置禁止領域面積のうちバンプ電極仮想線部分がバンプ電極応力歪に与える影響を測定したグラフも第1実施形態で用いた図8(a)と同様であるので、同図を参照して説明する。BGAボール配置禁止領域効果として、(バンプ径/バンプ電極仮想線ボール配置禁止領域)を横軸にした場合におけるバンプ応力歪を縦軸に示した。グラフから明らかな様に、(バンプ径/バンプ電極仮想線ボール配置禁止領域) = 1を境にして、バンプ応力歪は急激な変化を示している。この結果から、バンプ電極ボール配置禁止領域がバンプ径以上である(バンプ径/バンプ電極仮想線ボール電極配置禁止領域) < 1のとき、バンプ電極に増幅される応力歪は極めて小さくなり、半導体チップの接続信頼性が著しく向上することが解る。

【0041】図18(b)は、封止樹脂端部に発生する

応力歪が半導体チップ外形寸法に依存する効果を測定した結果である。半導体チップ外形寸法と回路配線基板寸法の相異効果として、(BGA回路配線基板外形寸法/半導体チップ外形寸法)を横軸にした場合における封止樹脂端部応力歪を縦軸に示した。グラフから明らかなように、(BGA回路配線基板外形寸法/半導体チップ外形寸法) = 1.1を初期勾配としているが、(BGA回路配線基板外形寸法/半導体チップ外形寸法) = 1を境にして、封止樹脂端部応力歪は急激な減少を示している。この結果から回路配線基板外形寸法が半導体チップ外形寸法よりも小さい、(BGA回路配線基板外形寸法/半導体チップ外形寸法) < 1のとき、封止樹脂端部に発生する応力歪は極めて小さくなり、BGA回路配線基板表面の回路配線層破壊を防止できBGA接続信頼性が著しく向上することが解る。これは、回路配線基板側の封止樹脂が半導体チップ側の封止樹脂寸法に比較して短い従来と逆の寸法配置構造になっているため、BGA回路配線基板に発生する変位が小さくなり、特に、封止樹脂が回路配線基板と接触する端部で最大化していた応力歪が緩和されているものと考えられる。以上の結果から、本発明の第3実施形態を用いることにより、BGA半導体装置の接続信頼性を従来構造と比較して極めて向上できるばかりでなく、従来まで困難であったペレット状態のベアチップをフリップチップ実装することも容易に可能となり、低コストでBGA半導体装置を製造することが確認された。

【0042】なお、上述した第1ないし第3実施形態に係る半導体装置は、半導体チップ1とBGA回路配線基板2との大小関係がそれぞれ異なるだけで、何れのものも正方形の相似形を用いていたが、本発明はこれに限定されず、図19(a)に示す第4実施形態のBGA型半導体装置のように、長方形で相似形の半導体チップ1とBGA回路配線基板2を用いても良い。この場合、バンプ電極8は半導体チップ1の外周側の全てに設ける必要はなく、例えば図示のように長辺に沿ってボール電極4の配列の間を縫うように2列に設けられている。バンプ電極8はこのように半導体チップ1の周縁に沿って設けられるのではなく、半導体チップ1の特定の領域にエリア配置するだけでも十分な強度を保持できる。したがって、課題を解決する手段の項目で用いた「所定の配置」とはこの第4実施形態の場合にはエリア配置ということになる。この図19(a)に示される第4実施形態に係るBGA型半導体装置の他の詳細構成は第1ないし第3実施形態に係るBGA半導体装置の構成と同様であるので重複説明は省略する。さらに本発明は、図19

(b)に示す第5実施形態のように、半導体チップ1とBGA回路配線基板2との間に設けられるバンプ電極8を半導体チップ1の周縁に沿って一列に設けるのではなく千鳥配置により設けるようにしても良い。図19

(b)において、第5実施形態に係る半導体装置は、図

9に示すサイズを有する半導体チップ1とBGA回路配線基板2とを備えている。したがって、課題を解決する手段の項目で用いた「所定の配置」とはこの第5実施形態においては千鳥配置ということになる。半導体チップ1とBGA回路配線基板2との間で基板7とBGA回路基板2との間のボール電極4のパッドが配置されていない長さLの領域6にバンプ電極8が千鳥配置されている点を除いて他の構成は第2実施形態に係るBGA型半導体装置の構成と同様であるので重複説明を省略する。

【0043】なお、本発明は上記各実施形態に限定されるものではなく、その主旨を逸脱しない範囲で種々に変更可能である。例えば、半導体チップと回路配線基板を接続するバンプ電極形状は本実施例に示す様な円形状である必要はなく、バンプ構造においてその形状が台形または三角形などを有する円錐形状であっても何らその効果は変わらないものである。さらに、BGAのボール電極構造についても特に限定されるものではなく、BGA基板裏面にボール電極がアレイ状に形成されている構造であれば良い。また、当然ながら、BGA回路配線基板に搭載する半導体チップ寸法は限定されるものではなく、ボール電極の寸法、封止樹脂厚、封止樹脂などの材料構成も特に限定されるものではない。また、本発明ではボール電極の配置について代表的な1種類を実施例として記載したが、本発明では半導体チップと回路配線基板を接続するバンプ電極が作る仮想線の上にボール電極を配置しないことを特徴としているものであるため、バンプレイアウトがエリア配置になっている場合は、ボール電極の配置されない領域がエリア配置となっても良いものである。さらに、BGA搭載回路配線基板もボール配置方法を代表的な1種類を例にとり説明したが、バンプ電極からBGAボール電極側に金属が貫通している様な形状であっても何ら問題はない。なお、バンプ電極から回路配線規範を貫通するバンプビア構造を用いる場合、本発明の効果は著しく向上する。

#### 【0044】

【発明の効果】以上、詳細に説明したように、本発明によれば、半導体チップが回路配線基板の種面にバンプ電極でフリップチップ実装されているBGA型半導体装置の回路配線基板裏面にアレイ状配置するBGAボール電極が、バンプ電極の位置する仮想線の上に配置されない領域を有する構造となっているため、大型チップをBGA化する場合に問題となっていた、ボール電極の局所的な応力歪に起因する半導体チップのバンプ電極破壊を防止することができる。特に、ボール電極の配置されない領域が、仮想線を中心として少なくとも半導体チップと隣接するバンプ径以上の面積領域を有している配置となっており、応力歪が最も影響する部分を領域として回避しているため、回路配線基板とBGAを相互接続するボールに発生する応力歪を極めて小さくことができ、BGAの実装接続信頼性を電子回路装置の信頼性を保証す

るのに十分な値まで向上することが可能となる。

【0045】さらに、半導体装置に構成するバンプ電極は、Al, Au, W, Cu, Ni, Cr, Pt, Pdから選択される金属またはこれら金属を主成分とする合金であり、BGAボール電極はPb, Sn, Ag, Sb, Zn, Biから選択される金属またはこれら金属を主成分とする合金であるため、BGA半導体装置を回路配線基板に実装した場合、バンプ電極はボール電極に比較して高融点金属になり、BGA半導体装置を回路配線基板に実装する場合に、BGAボール電極部分の接続でバンプ電極が変形することなく、バンプ応力歪の緩和に十分な高さ寸法を維持することが可能になる。さらに、BGA半導体装置を構成する回路配線基板は半導体チップのボンディングパッドが位置する仮想線部分の主面にバンプ電極を有していることと、仮想線部分の裏面にはボール電極が配置されない領域を有する構造となっているため、任意の半導体チップをフリップチップ実装する場合、電子機器を構成する実装基板の端子レイアウトを変更することなくBGA回路配線基板の半導体チップ接続用バンプ電極の配置レイアウトのみを変更することで任意の半導体チップを実装することができ、電子機器の製造コストを容易に低減することが可能になる。

【0046】また本発明によれば、半導体チップが回路配線基板主面にバンプ電極によりフリップチップ実装され、回路配線基板裏面にはボール電極がアレイ状に配置されている半導体装置の製造方法が、半導体チップのボンディングパッドが位置する仮想線部分の主面にバンプ電極を有し、仮想線部分の裏面にBGAボール電極が配置されない領域を有する回路配線基板を形成する工程と、回路配線基板のバンプ電極を半導体チップのバンプ電極と位置合わせする工程と、回路配線基板裏面のボール電極が配置されない領域に少なくとも加熱機構または振動機構のうちいずれか一方を有する尖形治具を位置合わせして加熱または振動のうち少なくとも1機構を用いバンプ電極を接合する工程を備えているため、従来まで問題となっていたバンプ電極を有さないペレット状態の半導体チップを対象としても容易にフリップチップ実装が可能になる。さらに、ボール電極の配置されない禁止領域は少なくとも半導体チップを接続するバンプ径以上の面積領域を有することと、尖形治具が隣接するボール電極に接触しない面積領域以上を有することとを特徴としているため、尖形治具を回路配線基板に対して容易に接触させることが可能になり、ボンディングにより尖形治具周囲のボール電極がダメージを受けることもない。以上の様に、本発明によれば、BGA半導体装置の実装接続信頼性を低コストで極めて向上させることが可能になる。

#### 【図面の簡単な説明】

【図1】本発明の基本原理としての第1実施形態に係るBGA型半導体装置の構成を示す(a)断面図および

10

20

30

40

50

(b) 平面図。

【図 2】第 1 実施形態の半導体装置の製造方法を (a) ないし (d) の工程で示す断面図。

【図 3】図 2 の続きの工程を (e) ないし (g) で示す断面図。

【図 4】第 1 実施形態に係る半導体装置を示す部分拡大断面図。

【図 5】第 1 実施形態に係る半導体装置を説明するための平面図。

【図 6】第 1 実施形態に係る半導体装置の効果を説明するための特性図。

【図 7】第 1 実施形態に係る半導体装置の効果を説明するための特性図。

【図 8】(a) 第 1 ないし第 3 実施形態に係る半導体装置の効果を説明する特性図、(b) 第 1 および第 2 実施形態に係る半導体装置の効果を説明する特性図。

【図 9】本発明の第 2 実施形態に係る BGA 型半導体装置の構成を示す (a) 断面図および (b) 平面図。

【図 10】第 2 実施形態の半導体装置の製造方法を (a) ないし (d) の工程で示す断面図。

【図 11】図 10 の続きの工程を (e) ないし (g) で示す断面図。

【図 12】第 2 実施形態に係る半導体装置を示す (a) 部分拡大断面図、(b) (c) 平面図。

【図 13】(a) 第 2 実施形態に係る半導体装置の効果を説明するための特性図、(b) 第 1 ないし第 3 実施形態の効果を説明するための特性図。

【図 14】本発明の第 3 実施形態に係る BGA 型半導体装置の構成を示す (a) 断面図および (b) 平面図。

【図 15】第 3 実施形態の半導体装置の製造方法を (a) ないし (d) の工程で示す断面図。

【図 16】図 15 の続きの工程を (e) ないし (g) で示す断面図。

【図 17】第 3 実施形態に係る半導体装置を示す (a) \*

\* 部分拡大断面図、(b) (c) 平面図。

【図 18】(a) 第 3 実施形態に係る半導体装置の効果を説明するための特性図、(b) 第 3 実施形態の効果を説明するための特性図。

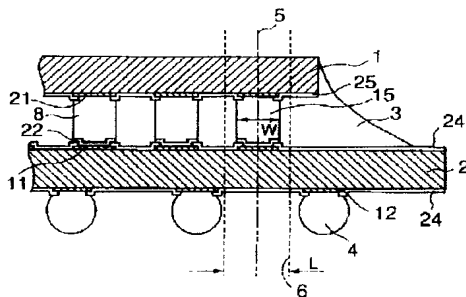
【図 19】(a) 本発明の第 4 実施形態に係る BGA 型半導体装置を示す平面図、(b) 本発明の第 5 実施形態に係る BGA 型半導体装置を示す平面図。

【図 20】従来のフリップフロップ実装構造および BGA 型半導体装置をそれぞれ示す断面図。

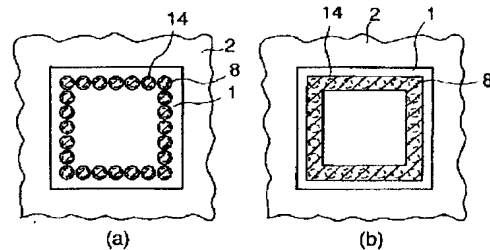
【符号の説明】

- |    |                          |
|----|--------------------------|
| 1  | 半導体チップ                   |
| 2  | BGA 回路配線基板               |
| 3  | 封止樹脂                     |
| 4  | ボール電極                    |
| 5  | 封止樹脂が BGA 回路配線基板と接触する仮想線 |
| 6  | ボール電極配置禁止領域              |
| 7  | 電子回路装置を構成する回路配線基板        |
| 8  | バンプ電極                    |
| 11 | 半導体チップ接続端子               |
| 12 | ボール形成端子                  |
| 13 | ヒータ                      |
| 14 | ヒートツール                   |
| 15 | バンプ径                     |
| 21 | ボンディングパッド                |
| 22 | バリアメタル                   |
| 23 | 半導体チップ接続端子               |
| 24 | ソルダーレジスト                 |
| 25 | パッシベーション膜                |
| 31 | 最大剪断歪                    |
| 32 | カバープレート                  |
| 33 | スティフナー                   |
| 34 | TAB インナーリード              |
| 35 | TAB テープ                  |
| 36 | 応力緩和配線                   |

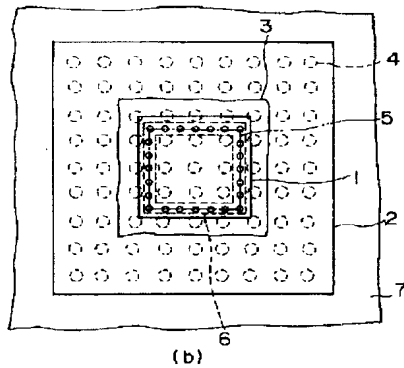
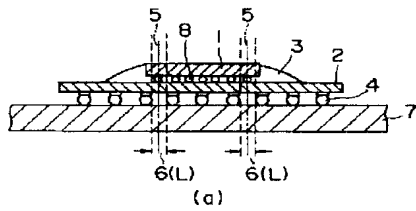
【図 4】



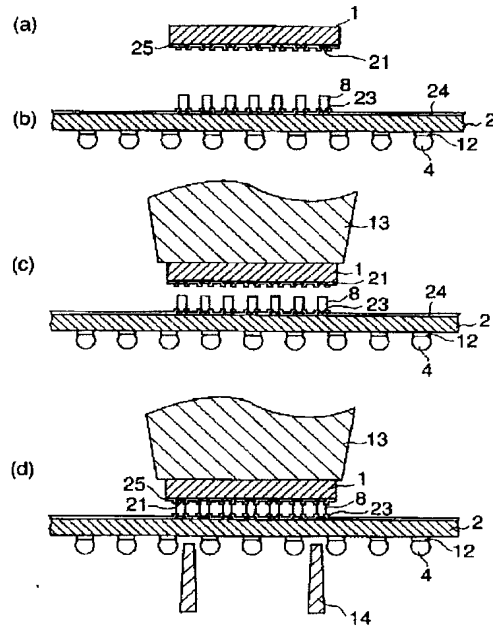
【図 5】



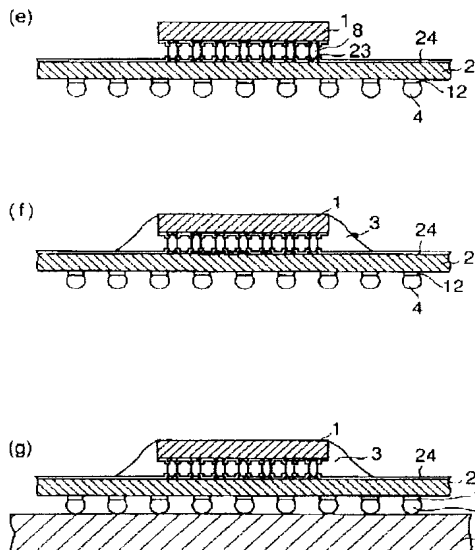
【図1】



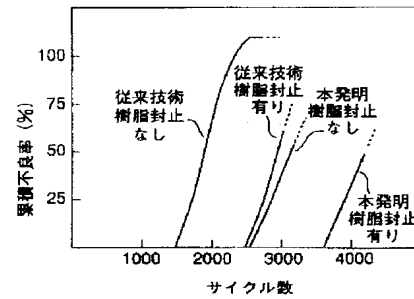
【図2】



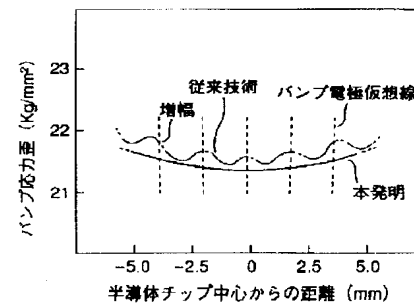
【図3】



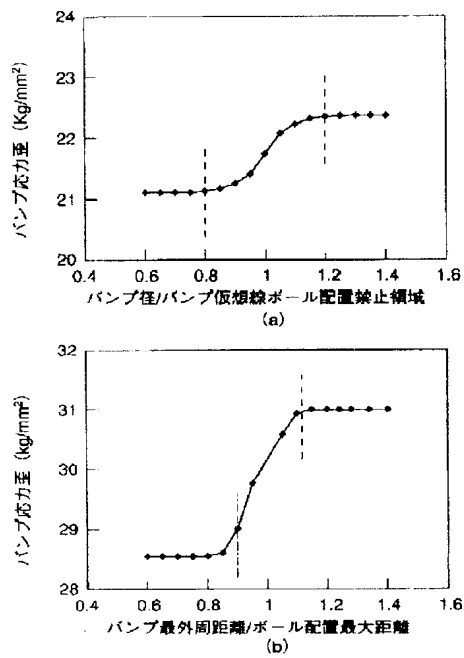
【図6】



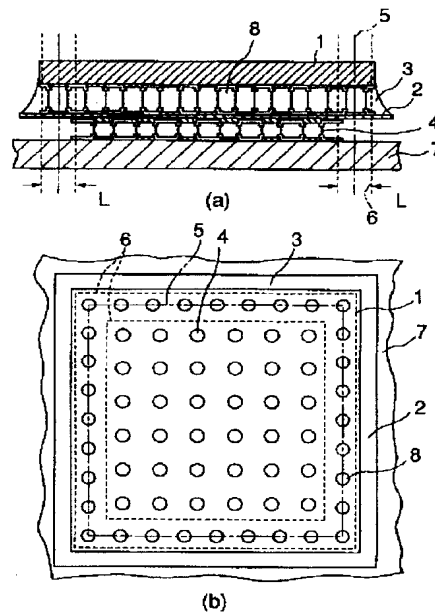
【図7】



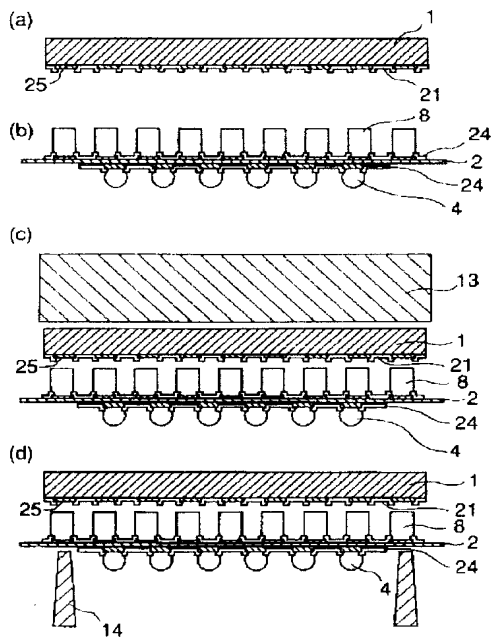
【図8】



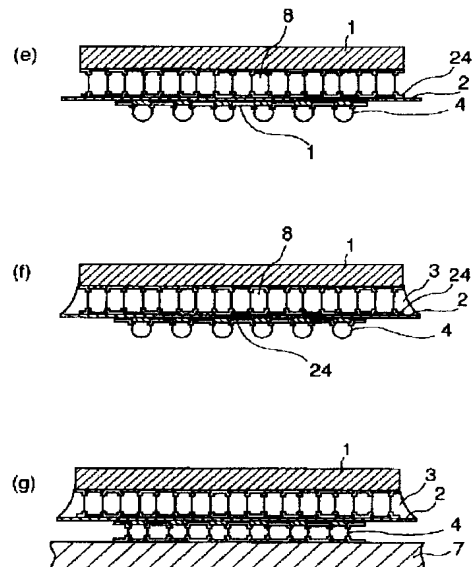
【図9】



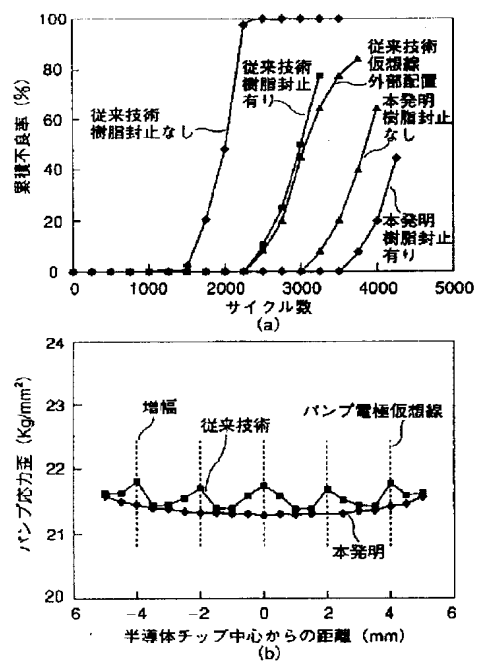
【図10】



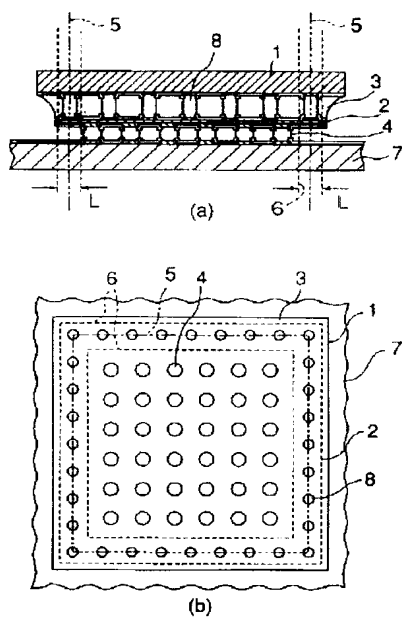
【図11】



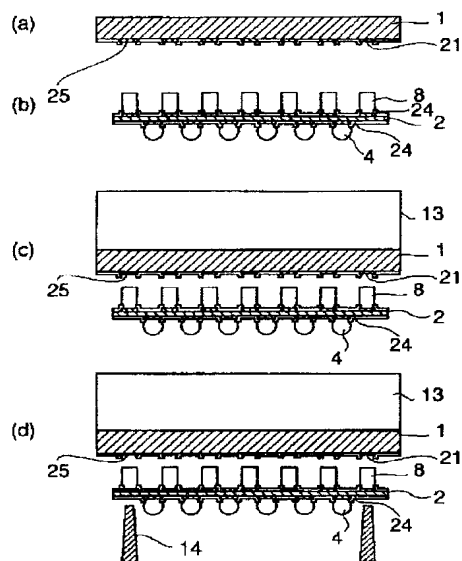
【図 13】



【图 1-4】

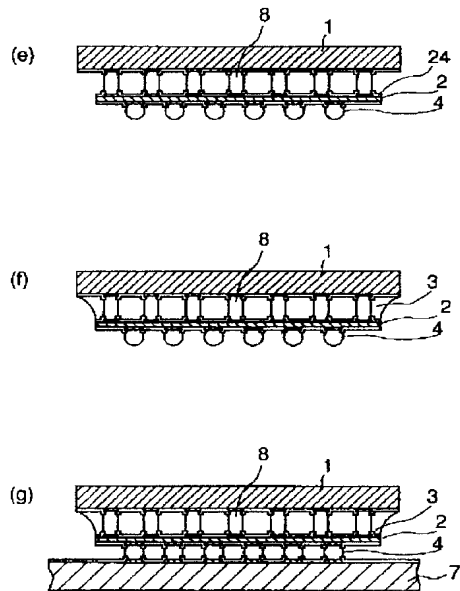


【图 1-5】

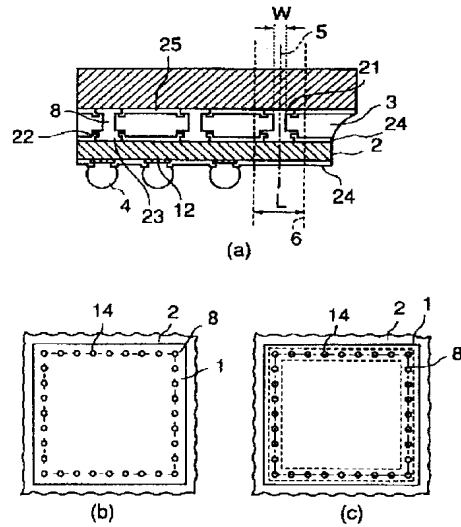




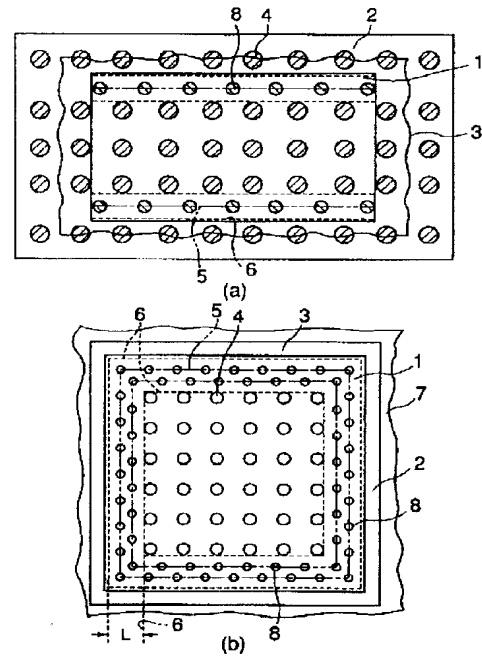
【図16】



【図17】



【図19】



【図18】

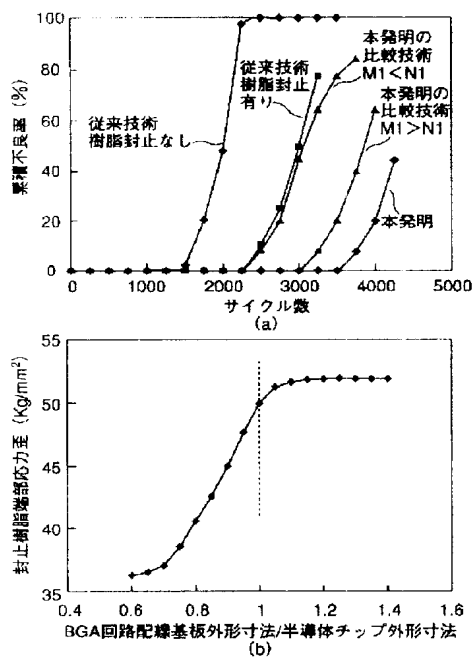


Figure 1 consists of four cross-sectional views of a semiconductor device, labeled (a) through (d).  
 (a) A substrate 7 is shown with a layer 23 on its top surface. A patterned layer 21 is formed on top of layer 23. A layer 1 is formed on top of layer 21. A layer 25 is formed on top of layer 1. A layer 8 is formed on top of layer 25. A layer 3 is formed on top of layer 8. A layer 24 is formed on top of layer 3.  
 (b) A layer 5 is being deposited over the patterned layer 21. The layer 5 is shown as a series of small circles. A layer 8 is shown on top of layer 5. A layer 1 is shown on top of layer 8. A layer 3 is shown on top of layer 1. A layer 2 is shown on top of layer 3. A layer 4 is shown on top of layer 2. A layer 3 is shown on top of layer 4. A layer 7 is shown on top of layer 3.  
 (c) The layer 5 is being etched back. Two arrows labeled  $\epsilon_{max}$  indicate the etch direction and maximum etch depth. A layer 31 is shown on top of layer 5. A layer 1 is shown on top of layer 31. A layer 3 is shown on top of layer 1. A layer 2 is shown on top of layer 3. A layer 4 is shown on top of layer 2. A layer 3 is shown on top of layer 4. A layer 7 is shown on top of layer 3.  
 (d) The final structure is shown. A layer 32 is formed on top of the substrate 7. A layer 33 is formed on top of the patterned layer 21. A layer 35 is formed on top of layer 33. A layer 12 is formed on top of layer 35. A layer 34 is formed on top of layer 12. A layer 1 is formed on top of layer 34. A layer 4 is formed on top of layer 1. A layer 3 is formed on top of layer 4.

(72)発明者 舘 山 和 樹  
神奈川県横浜市磯子区新磯子町33 株式会  
社東芝生産技術研究所内